

HEINRICH·HERTZ·INSTITUT FÜR SCHWINGUNGSFORSCHUNG
BERLIN·CHARLOTTENBURG

Technischer Bericht Nr. 82

Ein Kernspeicher mit 1 μ s Zykluszeit

von

Dipl.-Ing. J. ZAHN

H 82

Berlin
1 9 6 5

Technischer Bericht Nr. 82

Ein Kernspeicher mit 1 μ s Zykluszeit

Zusammenfassung

Im vorliegenden Bericht werden alle erforderlichen Bausteine für den Aufbau eines Ferritkernspeichers im Koinzidenzbetrieb mit einer Schreib-Lese-Zykluszeit von 1 μ s beschrieben, dazu gehören also neben den eigentlichen Steuerschaltungen für die Kernmatrix auch logische Schaltungen zur Auswahl der Speicherplätze und Registerelemente zur Zwischenspeicherung der einzuschreibenden und der ausgelesenen Information.

Die Bausteine wurden im Hinblick auf den Aufbau eines Speichers mit $32 \times 32 = 1024$ Worten zu je 32 Bit und 1 μ s Zykluszeit entwickelt, der in einem Digitaldetektor zur Zwischenspeicherung der von einem Radargerät gelieferten und im Detektor zu digitalisierenden Daten (Zielkoordinaten) eingesetzt werden soll. Ferner soll mit diesen Bausteinen ein Pufferspeicher mit $16 \times 16 = 256$ Worten zu je 28 Bit zur Aufzeichnung von Informationen aus dem Digitaldetektor, die im minimalen zeitlichen Abstand von 1 μ s anfallen können, auf ein Magnetband mit langsamerer Schreibgeschwindigkeit erstellt werden. Die Konzeption dieses Pufferspeichers wird beschrieben.

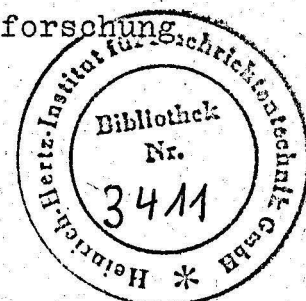
Zur Funktionskontrolle der entwickelten Schaltungen wurde ein Modellspeicher aufgebaut. Die folgenden Ausführungen beziehen sich auf dieses Modell, sofern es sich nicht um Messungen an Prototypen einzelner Steckkarten der in gedruckter Technik ausgeführten Schaltungen handelt.

Heinrich-Hertz-Institut für Schwingungsforschung

Der Bearbeiter

gez. Joachim Zahn

(Dipl.-Ing. J. Zahn)



Der Abteilungsleiter

gez. Gundlach

(Prof. Dr.-Ing. F. W. Gundlach)

Der Institutsdirektor

gez. Rothert

(Prof. Dr.-Ing. G. Rothert)

Berlin 12 (Charlottenburg), den 18.3.65

Inhaltsübersicht

1. Einige prinzipielle Betrachtungen zum Aufbau eines schnellen Kernspeichers
 - 1.1 Wahl der Betriebsart
 - 1.2 Probleme der zeitlichen Steuerung
 - 1.3 Bauelemente

2. Das logische System
 - 2.1 Übersicht
 - 2.2 Bausteine
 - 2.21 Die bistabile Kippstufe
 - 2.22 Logische Verknüpfungen
 - 2.23 Taktverstärker
 - 2.24 Umkehrverstärker

3. Der Kernspeicher
 - 3.1 Prinzipieller Aufbau anhand des Modellspeichers
 - 3.2 Bausteine
 - 3.21 Die monostabile Kippstufe
 - 3.22 Die Auswahl-Übertragermatrix
 - 3.23 Auswahlshalter
 - 3.24 Adress-Treiber
 - 3.25 Inhibit-Treiber und Treiberstromregelung
 - 3.26 Die Kernmatrix
 - 3.27 Leseverstärker und Lesesignalausblendung
 - 3.28 Stromversorgung

4. Konzeption eines Pufferspeichers

5. Literatur

1. Einige prinzipielle Betrachtungen zum Aufbau eines schnellen Kernspeichers

1.1 Wahl der Betriebsart

Im Ferritkernspeicher wird zur Speicherung jedes Bits ein Ringkern aus Ferrit verwendet, der zum Speichern einer 0 bzw. eines 1 im bzw. entgegen dem Uhrzeigersinn magnetisiert wird und diesen Magnetisierungszustand nach Abschalten des Feldes beibehält. Die für Speicherzwecke verwendeten Ferrite besitzen eine nahezu rechteckige Charakteristik. Durch diese Eigenschaft ergibt sich bis zu einer bestimmten Schwellfeldstärke H_0 , die in derselben Größenordnung liegt, wie die Koerzitivfeldstärke H_c , fast keine Änderung des Magnetisierungszustandes, während die doppelte Schwellfeldstärke $2 \cdot H_0$ für eine vollständige Ummagnetisierung ausreicht. Dieses Verhalten nutzt man zur Unterscheidung der Information 0 und 1 aus, indem man einen Kern entweder mit einem Strom $I_0/2$ ($\hat{=} H_0$) zum Speichern einer 0 (oder mit einem Strom I_0 ($\hat{=} 2 \cdot H_0$) zum Speichern eines 1 beschickt. In der Praxis wird man $I_0/2$ um einen Sicherheitsfaktor kleiner wählen, als zur Erzeugung von H_0 erforderlich ist. Zum Auslesen der Information wird der Kern mit einem Strom $-I_0$ beschickt (das Minuszeichen deutet die entgegengesetzte Stromrichtung an). Im Fall eines eingeschriebenen 1 wird der Magnetisierungszustand des Kernes von B_+ auf B_- geändert und man erhält an einer durch den Kern führenden Leseleitung einen Impuls. Im Fall einer eingeschriebenen 0 wird der Remanenzzustand nicht geändert und es entsteht kein Impuls.

Für die Ansteuerung eines einzelnen Kernes einer aus $p \times q$ Kernen zusammengesetzten Speichermatrix gibt es verschiedene Verfahren, die im folgenden gegeneinander abgewogen werden sollen. Zunächst aber müssen einige Bemerkungen zur Schaltzeit der Ferritkerne gemacht werden. Zum Ummagnetisieren des Kernes führende physikalische Mechanismus ist folgender: Beim Anlegen eines äußeren magnetischen Feldes bilden sich, ausgehend von den im Ferrit immer vorhandenen Störstellen, kleine Teilbereiche, deren Magnetisierungsrichtung bereits mit der neuen Richtung übereinstimmt. Diese Teilbereiche wachsen jetzt unter dem Einfluß des äußeren Feldes an,

indem die Wandflächen zwischen den ummagnetisierten Teilbereichen und den noch nicht ummagnetisierten Bereichen zu wachsen beginnen, bis sich die Teilbereiche miteinander vereinigen und der ganze Ferrit ummagnetisiert ist. Die Geschwindigkeit der Wandverschiebung und damit die Geschwindigkeit der Ummagnetisierung ist proportional dem Ueberschuß der Feldstärke gegenüber der Schwellfeldstärke H_0 . Das Produkt $t_s(H - H_0)$ bezeichnet man als Schaltkoeffizienten $S = t_s \cdot (H - H_0)$, der eine Materialkonstante darstellt (etwa 10^{-6}As/cm). Zur Erzielung kurzer Schaltzeiten muß man also H vergrößern, was sich aber im Hinblick auf die noch zu besprechenden Koinzidenzverfahren nur bis $H \leq 2 \cdot H_0$ entsprechend einem Selektionsverhältnis 2:1 verwirklichen läßt. Als Schaltzeit ergibt sich damit $t_s \geq S/H_0$. Es ist also erforderlich, sogenannte harte Ferrite, d.h. Ferrite mit hoher Schwellfeldstärke und großem Rechteckigkeitsverhältnis zu verwenden. Das Rechteckigkeitsverhältnis ist definiert zu $R = B(-H_m/2)/B(H_m)$, wobei $H_c \leq H_m \leq 2 \cdot H_c$ ist. Der Erzielung einer hohen Feldstärke ist jedoch durch die Größe der praktisch realisierbaren Aufrufstromimpulse mit einer Anstiegszeit $t_r < t_s$ eine Grenze gesetzt, da man I_0 im Hinblick auf die zur Verfügung stehenden Transistoren und die Erwärmung der Aufrufdrähte nicht wesentlich größer als 0,5 A machen kann. Bei vorgegebenem Strom ist die am Ringkern auftretende Feldstärke umgekehrt proportional zum Radius, bei gegebener Durchflutung werden also die inneren Zonen des Ringkerns schneller schalten als die äußeren. Hieraus folgt, daß man die Ringkerne so klein wie nur irgend möglich machen muß. Die kleinsten zu Beginn dieser Entwicklung zur Verfügung stehenden Kerne hatten einen Außen-Durchmesser von 0,8 mm, eine Höhe von 0,23 mm und eine Dicke von 0,15 mm. Die Schaltzeiten dieser Kerne liegen in der Größenordnung 0,4 μs .

Für das Auslesen und Einschreiben einer Information (1 Zyklus) werden also 1 μs benötigt (s. auch 1.2). Dieser Vorgang spielt sich beim Stromkoinzidenzspeicher folgendermaßen ab:

Die Kerne sind in einer Matrix mit p Zeilen und q Spalten ($N = p \cdot q$ bits) zusammengefaßt. Durch die Selektionseinrichtung des Speichers (3.1) werden je eine Zeile und eine Spalte mit dem Halbstrom $I_0/2$ koinzident beschickt. Der im Kreuzungspunkt befindliche Kern wird mit einem Strom I_0 erregt und damit im

Fall eines eingeschriebenen L ummagnetisiert, alle anderen in dieser Zeile und Spalte befindlichen Kerne werden nur von $I_0/2$ beeinflusst und damit "gestört". War in dem Kern ein L eingespeichert, so wird auf der allen Kernen gemeinsamen Leseleitung, die die Matrix diagonal durchsetzt, eine Spannung induziert, war eine 0 gespeichert, so wird, da keine Ummagnetisierung erfolgt, auch kein Lesesignal erzeugt. Bei dem nachfolgenden Einschreiben wird der Kern durch zwei Halbströme mit entgegengesetzter Polarität ummagnetisiert, um ein L zu speichern. Soll eine 0 eingeschrieben werden, so wird durch einen Halbstrom $I_0/2$ in einer parallel zum Zeilendraht verlaufenden Blockier-(Inhibit-) Leitung das von dem Zeilenimpuls herrührende Feld kompensiert. Soll ein Speicher mit N Worten n Bits ($n = \text{Wortlänge}$) haben, so ordnet man n Matrizen der Größe $N = p \cdot q$ so an, daß ihre einzelnen korrespondierenden Zeilen und Spalten hintereinandergeschaltet sind.

Der Vorteil des Koinzidenzspeichers liegt in seinem einfachen Aufbau. Der Aufwand für die Selektion der Spalten und Zeilen läßt sich bei Verwendung von Auswahl-Matrizen (mit Uebertragern oder Dioden) weitestgehend herabsetzen. Das Minimum erreicht man bei quadratischem Aufbau der Matrizen. Erfolgt die Ansteuerung der Auswahlmatrizen über sog. Auswahlshalter, so benötigt man bei gleicher Spalten- und Zeilenzahl $p = q$ nur $2 \cdot 4 \cdot \sqrt{p}$ ($\sqrt{p} = \text{ganze Zahl}$) Auswahlshalter. Der Faktor 2 ergibt sich bei getrennter Anordnung von Schaltern für die Schreib- und Lesestromsteuerung. Der Nachteil des Koinzidenzspeichers liegt in der durch die Koinzidenz bedingten oberen Grenze der Stromamplitude und damit der Zykluszeit, die durch die Schaltzeit der Kerne festliegt.

Da nur beim Einschreiben zur Unterscheidung von 0 und L eine Koinzidenz erforderlich ist, kann man die einzelnen Kerne in einer Matrix so organisieren, daß beim Lesevorgang keine Koinzidenz der Lesehalbströme erforderlich ist, da nur immer Kerne eines Wortes, d.h. eine Zeile, aufgerufen werden. Hierbei kann man den Lesestrom und damit die wirksame Feldstärke heraufsetzen und die Schaltzeit während des Lesens verkürzen (in der Praxis etwa auf $1/3$), womit man eine Verkürzung der Zykluszeit erhält. Bei diesem "wortorganisierten" Speicher stellen die Zeilen die Worte, die Spalten die Anzahl Bits je Wort dar. Die Ansteuerung erfolgt über die Zeilendrähte, der Spaltendraht stellt die Inhi-

bit-Leitung dar, parallel zu ihm läuft der Lese draht. Beim Lesen werden durch einen Strom $I > I_0$ alle Kerne einer Zeile, d.h. eines Wortes, in die Nulllage magnetisiert. Beim Einschreiben führt der Zeilendraht einen Halbstrom $I_0/2$ (gegenüber dem Lese strom entgegengesetzt polarisiert). Die L werden durch einen Halbstrom in den Spaltendrähten eingeschrieben. In der Praxis ist der Wortstrom etwa $2/3$ und der Bitstrom etwa $1/3$ des gesamten Schreibstromes. Im Gegensatz zum Koinzidenzspeicher ist hier der Aufwand an Selektionsschaltern wesentlich höher. Bei gleicher Speichergröße N (= Zeilenzahl) und Ansteuerung über eine Auswahlmatrix der Größe $\sqrt{N} \times \sqrt{N}$ benötigt man $2 \cdot 2 \cdot \sqrt{N}$ Schalter. Der erste Faktor 2 entspricht demjenigen beim Koinzidenzspeicher. Das Verhältnis im Aufwand wird für den wortorganisierten Speicher besonders bei großer Wortzahl N sehr ungünstig.

Weitere Möglichkeiten zur Verkürzung der Zykluszeit sind Auswahl schaltungen mit Vielfachkoinzidenz /2/, /3/ und partielles Schalten der Kerne /4/. Während beim normalen Koinzidenzspeicher mit parallelen X-(Zeilen-) und Y-(Spalten-)Drähten nur ein Selektionsverhältnis von 2:1 erzielt wird, kann man durch eine spezielle Verdrahtung dieses Verhältnis heraufsetzen, indem man entsprechend diesem Selektionsverhältnis p Auswahl leitungen je Kern vorsieht und diese so anordnet, daß nur jeweils ein Kern von allen p Leitungen einer Familie gekreuzt wird, alle anderen Kerne auf irgendeiner Leitung dieser Familie aber nur von dieser einen Leitung dieser Familie durchsetzt werden. Diese "gestörten" Kerne erhalten, wenn alle p Leitungen einer Familie den Strom $I/2$ führen, auch nur diesen Halbstrom, der selektierte Kern aber den Summenstrom $p \cdot I/2$. Da damit das wirksame Feld p -mal größer als die Schwellfeldstärke wird, erzielt man eine Verkürzung der Schaltzeit auf theoretisch $1/(p - 1)$ des Wertes bei zweifacher Koinzidenz. Der Aufwand dieser Schaltung in den Selektionsrichtungen ist bei einem größeren Speicher sehr hoch, ferner treten Schwierigkeiten mit Störsignalen auf der Leseleitung als Folge der Partialströme auf.

Partielles Schalten eines Speicherkernes ist ausgeprägt durch die Anwendung von Schreibströmen, die in ihrer Größe und Dauer genau festgelegt sind. Die schmalen Impulse begrenzen den Schaltvorgang auf einen kleinen Teil des Kernes, wodurch die Kerngröße elektrisch reduziert wird, was eine Verkürzung der Schaltzeit mit sich bringt. Die Schreibstrom-Schaltzeit ist der Schreibstromdauer angepaßt. Der Lesestrom wird ebenfalls in Größe und Dauer eingeschränkt. Er muß den vom Schreibstrom eingeschriebenen Fluß vollständig herauslesen. Die Lesespannung und Schaltzeit sind Funktionen der Lesestromdauer und -amplitude und ebenfalls verwandt mit der Gesamtmenge des während der Schreibstromdauer geschalteten Materials.

Bei einem Vergleich aller möglichen Speicherverfahren, die sich zur Erzielung einer Zykluszeit von $1 \mu\text{s}$ eignen, zeigt es sich, daß der Koinzidenzspeicher der im Aufwand einfachste und technisch unproblematischste ist, weswegen er auch heute noch die meist gebrauchte Form des Ferritkernspeichers ist. Da es bei der Entwicklung des Speichers mit $1 \mu\text{s}$ Zyklus darauf ankam, möglichst rasch zu einem brauchbaren Ergebnis zu kommen, wurde das Prinzip des Koinzidenzspeichers dieser Entwicklung zugrunde gelegt, zumal von der Industrie bereits Kerne mit Schaltzeiten kleiner als $0,5 \mu\text{s}$ angeboten wurden.

1.2 Probleme der zeitlichen Steuerung

Während der Zykluszeit von $1 \mu\text{s}$, die sich in die Lese- und Schreibzeit von je 500 ns aufteilt, bestimmen folgende Teilzeiten die maximal zulässige Ummagnetisierungszeit der Speicherkerne:

Alle logischen Steuervorgänge zur Auswahl einer bestimmten Speicheradresse erfolgen bedingt mit einem aus dem zentralen 2-MHz -Takt abgeleiteten Untertakt. Der von den Taktgebern erzeugte Untertakt hat gegenüber dem zentralen Takt infolge der Durchlaufzeit durch den Taktgeber, der sich aus einem Impulsgeber in Form einer monostabilen Kippstufe und einem Taktverstärker zusammensetzt, eine zeitliche Verschiebung von etwa $t_{\text{T}} = 20 \text{ ns}$. Die hier angegebenen Zeiten beziehen sich auf die bei den einzelnen Schaltungen gemessenen maximalen Werte. Die in den Zählstufen der Re-

gister, Adressenwerke usw. verwendeten Flip-Flops besitzen eine Verzögerungszeit von $t_F < 10$ ns. Die wichtigste Zeit ist die Oeffnungszeit der Auswahlshalter, die sich aus der Verzögerungszeit und Anstiegszeit der Schalttransistoren zusammensetzt, da erst nach völligem Durchschalten des ausgewählten Weges der eigentliche Treiberstromimpuls einsetzen darf. Diese Schaltzeit t_r beträgt max. 30 ns. Nach der Zeit t_p (Spitzenzeit) nach Beginn des Treiberimpulses tritt die maximale Amplitude des Ausgangssignales auf der Leseleitung auf. Diese Signalspannung von etwa 10^{-2} V muß auf den benötigten Signalpegel von knapp 10 V angehoben werden. Damit wird ein Flip-Flop gestellt, dessen Stand mit dem nächsten Taktimpuls abgefragt wird. Bei einer Durchlaufzeit des Leseverstärkers von $t_v \leq 40$ ns und der Stellzeit des Flip-Flops $t_F < 10$ ns muß die Spitzenzeit t_p um $t_v + t_r$ vor dem Ende des Halbzyklus liegen. Andererseits muß nach dem Ende des Treiberstromimpulses für die Rückflanke noch die Zeit $t_f = 50$ ns berücksichtigt werden. Die Dauer des Treiberimpulses ist mindestens gleich der Umschaltzeit des Kernes anzusetzen. Die Schaltzeit t_s eines Speicherkernes ist definiert als die Zeit zwischen dem Bezugspunkt t_1 auf der Vorderflanke des Treiberimpulses ($0,1 \cdot I_{nenn}$) und demjenigen Punkt auf der Rückflanke des Ausgangsimpulses, in dem dV_1 (Spitzenwert der Ausgangsspannung einer "gestörten" Eins) auf 10% abgesunken ist.

Der Kern muß also bezüglich seiner Schaltzeit t_s die Bedingung $t_s \leq 500 - (t_T + t_F + t_r + t_f)$ ns erfüllen. Damit wird, da t_p im allgemeinen etwa 60% von t_s ist, die Forderung nach genügend großer Auswertzeit des Leseimpulses durch die Bedingung $t_p + t_v + t_F \leq t_s + t_f$ ebenfalls erfüllt. Mit obigen Werten ergeben sich $t_s \leq 390$ ns.

1.3 Bauelemente

Aus den vorstehenden Betrachtungen geht hervor, daß nur Ferritkerne mit einer Schaltzeit von $t_s \leq 400$ ns verwendet werden können.

Von der Industrie werden folgende Typen angeboten:

Typ	Material	Außen-Ø (mm)	I_n (mA) bei 40°C	t_s (µs) bei 40°C	Kern- temperatur
Valvo	6 H 1 ^{+))}	0,55	835	0,17	40°
"	6 F 1	1,3	1170	0,35	40°
"	6 F 2	0,80	655	0,4	40°
Siemens	R 490	0,80	650	0,4	25 ... 40°
"	R 495	0,80		0,14	25 ... 40°

lin. Wortauswahl

^{+))} erst seit kurzer Zeit auf dem Markt

Die Kerne 6 F 2 (Valvo) und R 490 (Siemens) sind praktisch gleichwertig, der Siemens-Kern ist in der Schaltzeit etwas kürzer (lt. Diagramm), weswegen ihm der Vorzug gegeben wurde. Aus dem Diagramm geht ferner hervor, daß die Schaltzeit t_s und die Spitzenzeit t_p mit zunehmender Temperatur abnehmen und die Amplitude des Ausgangssignals ansteigt. Die Verkürzung der Spitzenzeit t_p muß bei der Auswertung des Lesesignals berücksichtigt werden. Eine temperaturabhängige Regelung der Treiberstromamplitude mit steigender Temperatur zu kleineren Werten hin würde eine temperaturabhängige Ausgangsamplitude und Spitzenzeit bewirken. Die Nachregelung wäre $I_n = -30 \text{ mA}$ bei $\vartheta = 40^\circ\text{C}$ gegenüber 25°C .

Bei der Wahl der Transistor- und Diodentypen mußten folgende technische Anforderungen berücksichtigt werden:

Die Schaltzeit t_r muß sowohl für die normalen Schalttransistoren, wie auch für die als Hochstromschalter verwendeten Transistoren kleiner 30 ns sein. Wegen der geringeren Restströme und des damit verbundenen geringeren Temperatureinflusses sollten nur Silizium-Halbleiter verwendet werden. Aus wirtschaftlichen Gründen sollten nur 2 Transistortypen eingesetzt werden, ein Universal-Schalttransistor und in den Treiber- und Lastschalterstufen, in denen Ströme bis über 200 mA zu schalten sind, ein Transistor mit höherer Leistung. An die Dioden wurde die Forderung nach einer gegenüber der Transistorschaltung kurzen Erholzeit gestellt. Auch sollte hier aus wirtschaftlichen Gründen nur 1 Typ verwendet werden. Als Transistoren werden eingesetzt der Standardtyp 2 N 708 (SGS-Fairchild, Motorola, Texas Instruments) als Schalt-

transistor kleiner Leistung (360 mW bei 25° Umgebungstemperatur). Seine Schaltzeit beträgt max. $t_r = 25$ ns bei $I_C = 10$ mA. Als Leistungsschalter für die Treiberstufen, Auswahlswitcher, Taktverstärker etc. wird der Schalttransistor MM 1613 (Motorola) mit 3 W Verlustleistung (25° Gehäusetemperatur) und Schaltzeiten von $t_r = 26$ ns und einer Kollektorspannung $I_{cer} = 0,35$ V bei $I_C = 150$ mA verwendet.

Sämtliche Dioden sind vom Typ 1 N 916-S (SGS-Fairchild). Die Ausführung S unterscheidet sich vom Normaltyp durch die niedrigere zul. Sperrspannung von 40 V anstatt 75 V, was für die vorliegenden Schaltungen aber ausreicht. Die Erholzeit beträgt max. 4 ns.

2. Das logische System

2.1 Uebersicht

Wie bereits eingangs erwähnt, wurden auch die für die Steuerung des Speichers und die logische Verarbeitung der Information erforderlichen digitalen Bausteine und logischen Schaltkreise entwickelt, um Anpassungsprobleme bei Verwendung von Bausteinen fremder Systeme zu vermeiden.

Das System arbeitet mit einer Taktfrequenz von max. 2 MHz. Die Steuerung erfolgt bedingt, d.h. alle Schaltstufen arbeiten parallel, der Takt wird ihnen gemeinsam zugeführt, er kann aber nur dort wirksam werden, wo am Bedingungs-eingang die entsprechende Schaltbedingung anliegt. Durch diesen kontrollierten Ablauf der Operationen werden Störungen durch äußere Einflüsse weitestgehend ausgeschlossen. Außerdem erhöht sich die Arbeitsgeschwindigkeit des Systems, da die Grenzfrequenz nur von der Zeitkonstanten der Schaltungen, nicht aber von Verzögerungs-(Durchlauf-)zeiten einzelner Stufen, z.B. bei Zählern abhängt. Das logische System besteht aus den eigentlichen binären Elemente, den Flip-Flops und logischen Verknüpfungsschaltungen zur Realisierung von Booleschen Ausdrücken. Die Boolesche Algebra definiert die drei Operationen "und", "oder" und "nicht". Die Variablen dieser Algebra können zwei verschiedene Werte, "0" und "1" bzw. "L" (um Verwechslungen mit der Dezimalzif-

fer 1 zu vermeiden) annehmen. Zur Realisierung eines Booleschen Ausdrucks wird dieser auf die "disjunktive Normalform" gebracht, einer logischen Summe von logischen Produkten, die aus Variablen in negierter oder nicht negierter Form bestehen. Die Verknüpfungen, die weiterhin als Konjunktionen ("und"-Gatter), Disjunktionen ("oder"-Gatter) und Negationen bezeichnet werden, werden in Abs. 2.22 behandelt. Die Auflösung eines Booleschen Ausdrucks in die "disjunktive Normalform" ist besonders dann erforderlich, wenn das angewandte logische System nur eine zweistellige Logik erlaubt. In diesem Fall, der auch hier vorliegt, dürfen nicht mehrere Konjunktionen hintereinandergeschaltet werden, da sich mit jeder Stufe die Ausgangsspannung um die Diodenspannung verringert. Möglichkeiten, dies zu umgehen, werden späterhin diskutiert.

Im vorliegenden logischen System werden definiert die logische "0" mit +12 V und das logische "1" mit 0 V.

2.2 Bausteine

Die nachfolgend beschriebenen Bausteine haben eine Grenzfrequenz von >5 MHz, die Arbeitsfrequenz beträgt maximal 2 MHz, die Prüfung der Schaltkarten erfolgt bei 3 MHz bei 25°C und 45°C unter besonderen Prüfbedingungen. Die Grenzwerte werden bei den einzelnen Schaltungen angegeben. Die Betriebsspannung ist normalerweise +12 V.

2.21 Die bistabile Kippstufe

Die Schaltung der bistabilen Kippstufe FF (Stell-Rückstell-Flip-Flop) zeigt Abb. 1. Die einzelne Kippstufe ist aus zwei rückgekoppelten Gleichstromverstärkern in der Weise aufgebaut, daß immer ein Transistor voll durchgesteuert, der andere gesperrt ist. Die Emitter der die eigentliche Kippstufe bildenden Transistoren liegen auf Masse. Die Basisspannungsteiler sind mit ihrem Fußpunkt an -3 V gelegt. Der Grad der Uebersteuerung und Sperrung der Transistoren wird durch die Dimensionierung dieses Teilers und der Basisvorspannung bestimmt. Diese Spannung wird von außen angelegt und darf nicht mehr als $\pm 0,1$ V vom Sollwert abweichen, um ein zuverlässiges Arbeiten zu gewährleisten. Die Basis des gesperrten Transistors ist um etwa 1 V negativer als

sein Emitter. Der Transistor ist dadurch sehr unempfindlich gegen einstreuende positive Störspitzen. Im leitenden Zustand ist $U_{BE} > U_{CE}$, jedoch wurde zur Vermeidung zu großer Uebersteuerung zwischen Basis und Kollektor der Transistoren eine Siliziumdiode eingefügt, so daß U_{BE} nur um die Diodenschwellspannung größer als U_{CE} werden kann.

Bei einer älteren Ausführung wurden der Basisteilerfußpunkt auf 0 V und die Emitter gemeinsam über eine RC-Kombination auf +1 V gelegt. Die hierbei auftretende Sperrspannung von $U_{BE} = -0,2$ V erwies sich beim Einsatz des FF in mehrstelligen Zählern als zu niedrig. Ferner kommt hinzu, daß bei automatischer Emitterspannungserzeugung die sich einstellende Emitterspannung sehr von den Toleranzen der Bauelemente abhängt. Da diese Spannung in die Ausgangsspannung eingeht, ergaben sich Schwierigkeiten bei der Zusammenschaltung einzelner FF zu Zählketten. Auch ist die Ausgangsspannung von +1,4 V (= "L") für nachfolgende Schalterstufen ungünstig, da die Eingangstransistoren dieser Stufen in diesem Zustand gesperrt sein sollen, was zusätzliche Schaltungsmaßnahmen erforderte. Die neue Schaltung arbeitet sicherer, dafür muß eine zusätzliche Hilfsspannung eingeführt werden.

Das Frequenzverhalten der eigentlichen Kippstufe wird weitgehend von den Transistoren und den Koppelgliedern bestimmt, die Zeitkonstanten der Vorspeicher bedingen jedoch eine niedrigere Grenzfrequenz. Diese kapazitiven Vorspeicher erlauben eine Steuerung des FF während der Taktpause mit zwei Potentialen (Bedingung) entsprechend "0" bzw. "L". Bei geöffnetem Tor, d.h. wenn die negative Spannung (0 V = "L") am Steuereingang der Torschaltung liegt, kann durch die nächste negative Flanke des Taktimpulses der mit diesem Tor verbundene Transistor gesperrt und somit das FF gekippt werden. Die Diode am Toreingang ist mit 1 k Ω überbrückt, damit bei gesperrtem Tor der Kondensator auf die Sperrspannung aufgeladen werden kann. Anderenfalls würde sich ein Potential entsprechend dem Verhältnis der Sperrwiderstände der Dioden einstellen. Bei gleichen Sperrwiderständen würde C daher nur auf die halbe Sperrspannung aufgeladen sein, womit keine eindeutige Sperrung erreicht wäre. Die Aufladung der Kapazität erfolgt mit der Zeitkonstanten $C=39$ pF,

$R = 1 \text{ k}\Omega$ und dem Innenwiderstand der vorherigen Stufe. Dieser ist im Fall eines weiteren Flip-Flops gleich dem Transistorwiderstand U_{CE}/I_C , bei dazwischengeschalteter Konjunktion kommt noch der Diodenwiderstand hinzu. Gemessen wurde eine Aufladezeit von $< 280 \text{ ns}$. Die Entladung erfolgt über die Diode der Torschaltung und den Emitterwiderstand bzw. Konjunktionswiderstand, je nachdem, ob ein FF oder eine Konjunktion davorgeschaltet ist. Die gemessene Entladezeit ist $< 260 \text{ ns}$. Diese Zeitkonstanten bestimmen die maximale Arbeitsgeschwindigkeit des FF, da der Vorspeicher zum sicheren Betrieb voll umgeladen sein muß. Mit den gemessenen Werten ergibt sich eine theoretische Grenzfrequenz des FF von etwa $f = 3 \text{ MHz}$, in der Praxis wurden 5 MHz erzielt. Bei Verkleinerung der Emitter- und Konjunktionswiderstände arbeitet das FF bis zu einer Frequenz von 15 MHz .

Ausgangsseitig sind Emitterfolger vorgesehen, um eine Belastung bis zu 50 mA je FF-Ausgang zuzulassen.

Die Basisanschlüsse sind zusätzlich herausgeführt, um den Anschluß weiterer Vorspeicher zu ermöglichen. Eine Vorspeicher-Steckeinheit enthält 8 Vorspeicher. Ferner können über die separaten Basisanschlüsse die Flip-Flops normiert werden. Auf einer Steckeinheit sind 4 FF angeordnet. Die Anordnung der Leiterbahnen erfolgte so, daß eine gegenseitige Beeinflussung von Ausgangs- und Eingangsleitungen verschiedener FFs weitestgehend herabgesetzt ist.

Messungen am FF:

Grenzfrequenz	5 MHz
zul. Taktspannung (bei 3 MHz)	min. 5 V max. 14 V (bei 10 V Sperrspannung)
Betriebs-Taktspannung	$8 \text{ V} \pm 10 \%$
Ausgangsspannung	10 V
Anstiegszeit	$< 30 \text{ ns}$

3.22 Logische Verknüpfungen

In Abb. 2 sind die 4 logischen Grundsaltungen dargestellt und zwar die Konjunktionen (AND), die Disjunktionen (OR), das "nicht und"-Gatter (NAND) und das "nicht oder"-Gatter (NOR). Zu-

nächst einige Bemerkungen zur Konjunktion: Die Dioden sind in Durchlassrichtung geschaltet, der Widerstand R liegt an negativer Spannung, im vorliegenden Fall an 0 V. Nur, wenn beide Eingänge 0 V zugeführt bekommen, treten auch am Ausgang 0 V auf. Die Größe des Widerstandes bestimmt die Schnelligkeit des logischen Systems, da er in die Zeitkonstante der Vorspeicherentladung bei nachgeschaltetem FF eingeht. Er darf aber einen bestimmten Wert nicht unterschreiten, da er den Lastwiderstand der FF-Emitterfolger darstellt und bei vorgegebener zulässiger Belastung des FF die Zahl der parallelzuschaltenden Konjunktionen bestimmt. Es wurde $R = 3,3 \text{ k}\Omega$ gewählt. Der max. Strom, der dann fließt, wenn ein Eingang mit 0 ($\hat{=} 10 \text{ V}$ beim FF) beschaltet ist, beträgt etwa 3 mA. Daraus folgt, daß FF-Ausgänge mit max. 16 parallelen Konjunktionseingängen belastet werden können. Die Zahl der parallelen Diodeneingänge einer Konjunktion wird begrenzt durch die Größe des Sperrwiderstandes. Die Summe der Sperrströme der parallelen Dioden muß klein gegen den durch R fließenden Strom bleiben. Dabei ist auch die Temperaturabhängigkeit der Sperrströme zu berücksichtigen. Bei Verwendung von Silizium-Dioden, wie im vorliegenden Fall, können bei einem Sperrstrom von 25 nA bei $U_R = 20 \text{ V}$ und $\vartheta = 40^\circ\text{C}$ mehrere hundert Dioden parallelgeschaltet werden, womit sich alle in der Praxis vorkommenden Fälle realisieren lassen dürften, so daß diesem Punkt i.a. keine besondere Bedeutung beizumessen ist.

Zu berücksichtigen ist aber, daß zu R parallele Schaltkapazitäten die Entladezeit beeinflussen.

Der Durchlaßwiderstand mit seinem Spannungsabfall von etwa 0,7 V braucht bei zweistufiger Logik, d.h. wenn auf die Konjunktionen nicht eine weitere Konjunktion, sondern eine Disjunktion oder ein FF folgt, nicht weiter berücksichtigt zu werden. Bei mehrstufiger Logik, wenn also mehrere Konjunktionen in Reihe geschaltet sind, nimmt die Ausgangsspannung mit jeder Stufe um etwa 0,7 V ab, womit sich die Sperrspannung verringert. Da ein Absinken der Sperrspannung unter 9 V vermieden werden muß, ist nur die Verwendung der zweistufigen Logik erlaubt. Bei der Kaskadenschaltung von Diodengattern, der Darstellung einer logischen Funktion aus einer Kombination von Konjunktion und Disjunktion (Serienschaltung) ist die Dimensionierung der

Widerstände R_{Dis} und R_{Kon} zu beachten. R_{Dis} muß groß gegen R_{Kon} sein, da anderenfalls, wenn an einer Konjunktion die Bedingung für 0 V am Ausgang erfüllt ist, sich dieses Potential am Disjunktionausgang nicht einstellen kann, da dieser Punkt potentialmäßig dem Widerstandsverhältnis folgt. Diese Forderung kann aber nicht erfüllt werden, da R_{Dis} die Aufladezeit des Vorspeichers bestimmt. Eine disjunktive Verknüpfung der Konjunktionen läßt sich erzielen, indem man die Konjunktionen mit pnp-Emitterfolgern versieht. Der Emitterwiderstand wird ebenfalls 3,3 k Ω gewählt. Durch die Wahl eines pnp-Transistors wird im Gegensatz zur NAND-Schaltung eine Negation vermieden. Die Emitterfolger lassen sich zwar ausgangsseitig ohne Dioden parallelschalten, um die disjunktive Bedingung zu erfüllen, jedoch wird bei den gesperrten Transistoren die zulässige Sperrspannung der Basis-Emitter-Diode $-U_{BE} = 5$ V überschritten. Die Verknüpfung muß über die Disjunktionsschaltung erfolgen. Der Disjunktionswiderstand kann jetzt aber niederohmig mit 3,3 k Ω angesetzt werden. Der Transistortyp ist MM 1614 (Motorola).

Die NOR- und NAND-Schaltungen, die eine Negation der logischen Funktionen bewirken, sind im vorliegenden Fall nicht vorgesehen, da sich die Funktion $\overline{a \vee b}$ und $\overline{a \cdot b}$ durch die duale Funktion der negierten Variablen darstellen läßt (de Morgan Theorem). Die Konjunktionen sind als Steckkarten mit 2, 4, 6, 8, 12 und 26 Eingängen entsprechend den Bedürfnissen des Systems ausgeführt. Die pnp-Emitterfolger befinden sich ebenfalls auf den Karten, werden sie nicht benötigt, entfällt die Bestückung. Die entsprechenden Ausgangspunkte werden überbrückt.

2.23 Taktverstärker

Die Schaltung ist in Abb. 3 dargestellt. Der Taktverstärker TV besteht aus einer Schaltsufe in Kombination mit einem Emitterfolger. Ein- und Ausgang sind galvanisch gekoppelt. Durch diese Anordnung erreicht man einen niedrigen Quellwiderstand in beiden Schaltzuständen und somit kurze Anstiegs- und Abfallzeiten des Ausgangsimpulses. Die Ansteuerung erfolgt mit positiven Impulsen vom Impulsgeber her, der in den meisten Fällen eine monostabile Kippstufe sein wird. Ein MMV kann mit 6 TV belastet werden, ein TV kann 16 FF speisen.

In der Kollektorleitung des Emitterfolgers liegt ein Schutzwiderstand. Die Ausgangsspannung wird über eine Zenerdiode OA 126/8 (Telef.) auf 8 V gehalten. Da die Sperrschichtkapazität der Zenerdiode eine starke Verlängerung der Impulsrückflanke bewirkt, wird der Zenerdiode eine Kapazität $C = 10 \text{ nF}$ parallelgeschaltet und in Reihe mit dieser Kombination eine Diode in Durchlaßrichtung angeordnet. Wird jetzt der Schalttransistor leitend, so kann sich C nicht entladen, da die Diode sperrt, und hält seine Spannung bis der Schalttransistor wieder sperrt.

Die Schaltflanken der Ausgangsimpulse betragen $t_r = 25 \text{ ns}$ und $t_f = 35 \text{ ns}$ bei 160 mA Laststrom.

Auf einer TV-Steckeinheit befinden sich 6 Taktverstärker.

2.24 Umkehrverstärker

Der TV kann ohne die Anordnung zur Begrenzung der Ausgangsspannung auch als Umkehrverstärker verwendet werden. Ist die Last geringer, so kann anstelle des Transistors MM 1613 der Typ 2 N 708 verwendet werden. Die Basiskombination ist in diesem Fall auf $6,7 \text{ k}\Omega/39 \text{ pF}$ zu ändern. Die zulässige Belastung beträgt dann etwa 50 mA.

3. Der Kernspeicher

3.1 Prinzipieller Aufbau anhand eines Modellspeichers

Zur Untersuchung der Arbeitsweise und Betriebssicherheit der einzelnen Bausteine insbesondere in ihrer Zusammenarbeit untereinander wurde ein Modellspeicher mit $12 \times 12 = 144$ Bit erstellt. Die Wirkungsweise sei anhand des Uebersichtbildes Abb. 5 und des Zeitplanes Abb. 6 erläutert.

Der Speicher arbeitet mit zyklisch durchlaufender Adresse. Der Arbeitszyklus ist "Lesen der eingeschriebenen Information" - "Einschreiben der neuen Information". Für jede Operation werden $0,5 \mu\text{s}$ benötigt. Die Adresse wird im 1-MHz-Takt weitergeschaltet. Die externe Taktsteuerung erfolgt von einem Taktgenerator mit 2 MHz, woraus durch den Zyklus-

zähler, ein 2 : 1 untersetzendes Flip-Flop, die Bedingungen zur Erzeugung der Untertakte für die Adressensteuerung und die Operationen "Lesen" und "Schreiben" abgeleitet werden. Sämtliche von den bedingt gesteuerten Taktgeneratoren (MMV) erzeugten Untertakte werden von Taktverstärkern verstärkt. Ferner müssen die zur Auslösung der X-, Y- und Inhibit-Treiber benötigten Takte gegenüber den Takten t_R (Lese-Takt) und t_W (Schreib-Takt) um 60 ns verzögert werden. Da die taktgebenden MMV nur eine minimale Impulsbreite (Verzögerungszeit) von 100 ns zulassen, erfolgt die Triggerschaltung bei einer Verzögerungszeit von 560 ns jeweils auf den vorhergehenden komplementären Takt.

Der Adressenzähler besteht aus 2 vierstufigen Gruppen, die durch Unterdrückung der Zählstellungen 13 bis 16 je von 1 (0000) bis auf 12 (LOLL) zählen. Die erste Gruppe (X-Adresse) erhält als zusätzliche Zählbedingung den Stand LOLL der 2. Gruppe (Y-Adresse). Somit ergeben sich 144 Adressen, die es ermöglichen, einen Aufrufimpuls auf eine der 12 Zeilen und gleichzeitig einen anderen Aufrufimpuls auf eine der 12 Spalten der Speichermatrix zu geben. Für eine Zeilen- und Spaltenauswahl werden außer dem Adressenzähler jeweils eine Uebertragermatrix, sowie Auswahlshalter und Markierer-FF benötigt. Jede Adressgruppe besitzt 3 Ausgänge zur Steuerung der x-Schalter und 4 Ausgänge zur Steuerung der y-Schalter für die X- und Y-Auswahlmatrizen.

Die Auswahlmatrizen dienen zur Auswahl der Zeilen oder Spalten und damit zur Verringerung der Ansteuerelemente der Speichermatrix. Im vorliegenden Fall werden anstelle von je 12 Schaltern für die Zeilen- und Spaltenansteuerung nur $3 + 4 = 7$ benötigt. Bei größeren Matrizen liegt das Verhältnis noch günstiger. Die Steuerung der Auswahlmatrix geht aus Abb. 7 hervor. Die Lese- und Schreibstromkreise sind in ihren Steuerschaltungen völlig getrennt bis auf die Einspeisung in die Adressleitungen der Speichermatrix über die Uebertrager der Auswahlmatrix. Die Auswahlshalter werden über Markierer-Flip-Flops vom Adressenwerk so gesteuert, daß Lese- und Schreibstromkreise immer abwechselnd für 500 ns durchgeschaltet werden (s. hierzu Zeitplan Abb. 6). Die Markierer-FF werden adressenbedingt gestellt und nach 500 ns unbedingt zurückgestellt. Durch diese Anordnung wurde eine gegenseitige Beeinflussung der Lese- und Schreib-Treiberstromim-

pulse vermieden und ein steiler Abfall des Treiberimpulses an seiner Rückflanke erreicht.

Nachdem die Schalter durch eine bestimmte Adresse gestellt sind, kann die Auslösung der X- und Y-Treiberimpulse durch die Treiber erfolgen. Für den Lese- und Schreibstromkreis sind getrennte Treiber vorgesehen. Die jeweiligen X- und Y-Treiber werden über gemeinsame Taktverzögerungsschaltungen (MMV) angesteuert, womit die Gewähr für eine gleichzeitige Auslösung gegeben ist. Die Verzögerungsschaltungen lassen sich bedingt ansteuern.

Die Auslösung der Adress- und Inhibit-Treiber kann entweder über die Bedingungsingänge der Verzögerungs-MMV oder die der Treiberimpulsgeber gesteuert werden. Die zweite Art bietet den Vorteil, daß die Bedingung nur 500 ns vor Auslösung angelegt werden muß und die Inhibitverzögerung zentral angeordnet werden kann. Den Inhibit-Treibern wird die Bedingung vom internen Schreibregister geliefert, die Rückstellung des Schreibregisters erfolgt mit dem Auslösetakt der Inhibit-treiber.

Die Dauer der Treiberimpulse wird von einer monostabilen Kippstufe bestimmt und fällt in die Öffnungszeit der angesteuerten Schalter. Für die X- und Y-Adresse-Treiber ist für den Lese- und Schreibimpuls je ein gemeinsamer Impulsgeber vorgesehen.

Durch die Koinzidenz der beiden Aufrufströme in einer Zeile und einer Spalte wird der Kern im Kreuzungspunkt beim Auslesen in den negativen Remanenzpunkt gebracht. Befand sich der Kern vorher im positiven Remanenzpunkt, so wird durch die Induktionsänderung auf dem Lesedraht ein Leseimpuls induziert. Dieser Leseimpuls kann positiv oder negativ sein, bedingt durch die möglichst störungsempfindliche Anordnung des Lesedrahtes. Das Lesesignal wird über eine Ausblendschaltung zu der Zeit ausgewertet, in der es mit seinem Spitzenwert anliegt. Die zeitliche Steuerung übernimmt die monostabile Steckeinheit MMV. Mit dem ausgeblendeten Leseimpuls wird das Leseregister gestellt. Die Rückstellung erfolgt durch den nächsten Takt t_R .

3.2 Bausteine

3.21 Die monostabile Kippstufe

Die monostabile Kippstufe MMV (Abb. 4) entspricht bis auf die gleichstrommäßige Auftrennung eines Rückkopplungszweiges und Anordnung eines Basisspannungsteilers zur Einstellung nur eines stabilen Zustandes in seinem Aufbau der bistabilen Kippstufe FF. Die Grobeinstellung der Impulsdauer erfolgt durch Wahl der festen Kapazität C, die Feinregulierung mittels 2,5-k Ω -Potentiometers. Die kleinste einstellbare Impulsdauer beträgt etwa 90 ns. Da infolge der großen Ladezeitkonstanten des zeitbestimmenden C die Flanke am Ausgang des angeschlossenen Emitterfolgers sehr flach verläuft, wurde die Kapazität und der Arbeitswiderstand über eine Diode vom Kollektor getrennt, wobei der Arbeitswiderstand geteilt werden muß. Sperrt der Transistor, so ist die Anstiegszeit des Kollektorpotentials und damit die des Ausgangsimpulses kürzer, da auch die Diode sperrt, während C sich über den einen Arbeitswiderstand 1 k Ω langsamer entlädt. Die Dioden zwischen Basis und Emitter der Emitterfolger bewirken eine steilere Rückflanke der Ausgangsimpulse bei kapazitiver Last.

Ein MMV kann mit max. 6 Taktverstärkern TV belastet werden. Die Schaltzeiten ohne Last sind $t_r < 25$ ns und $t_f < 20$ ns; bei Belastung mit 6 TV vergrößert sich die Anstiegszeit auf max. 80 ns.

3.22 Die Auswahl-Uebertragermatrix

Die Uebertragermatrix besitzt der Anzahl Zeilen und Spalten entsprechend gleich viele Auswahlübertrager, im Modell also je 12. Ein bestimmtes Uebersetzungsverhältnis stellt die Anpassung zwischen Treiberkreis und Speichermatrix her. Die Sekundärseiten dieser Uebertrager sind mit den Aufrufdrähten der Speichermatrix verbunden und liefern einen positiven bzw. negativen Aufrufimpuls von 325 mA. Der Wicklungssinn der beiden Primärwicklungen ist entgegengesetzt. Dadurch wird die Umpolung des Aufrufimpulses erreicht. Positiver Treiberstrom bedeutet "Schreiben", negativer Treiberstrom bedeutet "Lesen". Die Anordnung der Uebertrager in der Matrix ist 3 x 4. Die Auswahl erfolgt über je einen x- und y-Schalter. Zur Entkopplung der einzelnen Uebertrager dienen Dioden in jedem Primärzweig (s. Abb. 7).

3.23 Die Auswahlshalter

Die Schaltbilder der x- und y-Auswahlshalter zeigen die Abb. 12 und 13.

Die Auswahlshalter werden direkt von den Markierer-Flip-Flops gesteuert. Die erste Stufe arbeitet als Impulsschalter, die letzte ist als Leistungsschalter ausgelegt und gibt für den Aufrufimpuls den Weg frei zu den Primärwicklungen der Uebertrager.

Für die Steuerung der Lese- und Schreibrreiberströme ergeben sich zwei Schaltergruppen, die adressenmäßig parallelgeschaltet sind. Durch die Auswahl eines Schalters S-X und eines Schalters S-Y ist nur ein Kern der Speichermatrix angesteuert und außerdem festgelegt, ob Lese- oder Schreibstrom fließen soll. Die Oeffnungszeiten der Schalter sind $t_r \leq 30$ ns.

3.24 Adress-Treiber

Siehe hierzu Schaltbild Abb. 14.

Nachdem die Schalter durch eine bestimmte Adresse gestellt worden sind, kann der Aufruf der Treiberströme erfolgen. Die Treiberimpulsdauer wird durch eine monostabile Kippstufe bestimmt. Die Ansteuerung kann bedingt oder unbedingt erfolgen, die Auslösung wird durch den verzögerten Takt t_{wV} bzw. t_{RV} bewirkt, wobei t_{wV} den Lese- und t_{RV} den Schreibrreiber auslöst. Die Dauer der Treiberimpulse soll 370 bis 380 ns (Beginn der Anstiegsflanke bis Beginn der Abfallflanke) betragen. Der primäre Treiberstrom hat eine Größe von 165 mA. Die Anstiegsflanke beträgt bei einer Matrixgröße von 16 x 16 Kernen etwa 80 ns.

Der eigentliche Treiber besteht aus einer Leistungsschaltstufe, der an die vorhergehende Schalterstufe über einen Uebertrager angekoppelt ist, um den Ausgang massefrei zu halten. Die Amplitude des Treiberstroms wird durch die Treiberregleinheit (Abb. 15) eingestellt. Ein Sperrschwinger erzeugt eine von der Größe der Speisespannung abhängige Spannung, die nach Gleichrichtung den Arbeitspunkt eines Leistungstransistors und somit den durch ihn fließenden Strom bestimmt. Die Einstellung des Treiberstromes geschieht durch die Sperrschwinger-Speisespannung. Diese Anordnung ist sehr temperaturkonstant. Ueber ein

weiteres Potentiometer läßt sich das Impulsdach korrigieren. Da die Ferritkerne die Eigenschaft haben, mit zunehmender Temperatur größere, aber schmalere Leseimpulse zu liefern, kann die Speisenspannung des Sperrschwingers auch temperaturabhängig so geregelt werden, daß in bestimmten Temperaturgrenzen konstante Leseimpulse erzeugt werden. Die zulässige Betriebstemperatur liegt zwischen 20° und 45°C .

3.25 Der Inhibit-Treiber

Der Inhibit- (Blockier-) Treiber ITr hat die Aufgabe, das Schreiben eines L zu verhindern, er muß also einen Adress-Halbstrom kompensieren. Um dies sicher zu erreichen, soll er in Dauer und Amplitude etwas größer als der Adress-Treiberstrom sein und ihn völlig überdecken. Schaltungsmäßig (s. Abb. 14) entspricht er bis auf die etwas anders gestaltete Endstufe dem Adresstreiber Tr. Die Einstellung der Stromamplitude erfolgt auch hier über die Regelschaltung, die Ankopplung an die Speichermatrix erfolgt über einen Uebertrager mit dem Uebersetzungsverhältnis 1:2. Sekundärseitig wird der Gleichstromanteil über eine Diode rückgewonnen. Im Gegensatz zum Tr besitzt der ITr eine eigene monostabile Kippstufe auf seiner Steckeinheit.

Es sind der Anzahl Bits je Wort entsprechend viele ITr vorzusehen.

3.26 Die Kernmatrix

Durch jeden Ferritkern der Speichermatrix-Ebene führen 4 Drähte. Zwei davon, ein Zeilen- und ein Spaltendraht dienen zum Aufruf des Kernes im Kreuzungspunkt. Ein weiterer Draht läuft mäanderförmig durch alle Zeilen und verhindert das Einschreiben eines L, indem sein Impuls eine entgegengesetzte Polarität zum Zeilenimpuls aufweist. Es ist der Inhibit- (Blockier-) Draht.

Der vierte Draht läuft in einer bestimmten diagonalen Anordnung durch alle Kerne und stellt den Lesedraht dar. Ueber ihn wird die beim Umklappen des Kernes induzierte Lesespannung abgenommen. Er ist so angeordnet, daß die durch die halbselektierten Kerne einer Zeile und Spalte auftretenden Störimpulse sich weitestgehend kompensieren. Bei Anordnung mehrerer Bits je Zeichen

werden entsprechend viele Ebenen mit ihren Zeilen- und Spalten-
drähten in Serie geschaltet, so daß stets gleichzeitig in al-
len Ebenen der gleiche Kern aufgerufen wird.

Der vorliegende Kernspeicher kann bis zu einer Größe von 32
Ebenen mit 32 x 32 Kernen ausgelegt werden.

Die Größe des Kernspeichers ist schaltungsmäßig durch die beim
Schalten der Kerne auftretende induktive Gegenspannung, die
durch die induktive Belastung sich ergebende Anstiegsflanke
der Treiberimpulse und die auftretenden Störspannungen auf der
Leseleitung bestimmt.

3.27 Leseverstärker und Lesesignalausblendung

Der Leseverstärker LV nach Abb. 8 besitzt einen symme-
trischen Eingang mit nachfolgendem zweistufigen Verstärker,
in dem die Lesesignale so weit verstärkt werden, daß sie die
folgende gemeinsame Schalterstufe aussteuern können. Die Schal-
terstufe besitzt eine Ansprechschwelle zur Unterdrückung der
Störsignale, die bei den nicht aufgerufenen Kernen einer an-
gesteuerten Zeile oder Spalte (halbselektierte Kerne) entste-
hen, sowie eine Ausblendeinrichtung. Diese gestattet eine Im-
pulsauswertung nur in der Zeit, in der der Leseimpuls anliegt
(s. Abb. 10). Der auch beim Einschreiben eines L auftretende
Impuls wird hierdurch unterdrückt. Die Schalterstufe wandelt
das Lesesignal in einen Rechteckimpuls um, der geeignet ist,
das anschließende Register-Flip-Flop zu stellen.

3.28 Stromversorgung

Zur Stromversorgung des Speichers werden industrielle
Stromversorgungssteckeinheiten verwendet.

Als Versorgungsspannungen werden 6 bzw. 7,5, 9 bzw. 10,5, 12
bzw. 13,5 V, sowie Vielfache davon durch Serienschaltung ein-
zelner Netzgeräte verwendet. Die Hilfsspannungen -3 V und + 3V
werden durch Antiserienschaltung erzielt. Hierbei ist zu beach-
ten, daß nicht in die Netzgeräte Strom eingespeist wird, was
durch Vorbelastung vermieden werden kann.

Untersuchungen haben gezeigt, daß die einzelnen Spannungen bis zu $\pm 5\%$ vom Sollwert abweichen können, ohne daß die Funktion des Speichers gestört wird.

4. Konzeption eines Pufferspeichers

Der im folgenden beschriebene Pufferspeicher der Größe 16×16 Worte zu je 28 Bit dient zur Zwischenspeicherung von Signalen, die blockweise mit einem zeitlichen Abstand der Einzelimpulse von $1/\mu\text{s}$ anfallen und von einem Magnetbandgerät mit langsamerer Speichergeschwindigkeit aufgezeichnet werden sollen. Die Beschreibung anhand des Blockschaltbildes Abb. 16 bezieht sich nur auf die zeitliche Steuerung der Adressenwerke und der Schreib- und Lesesteuerung. Eine umfassende Darstellung, die auch die Ein- und Ausgabesteuerung, sowie Prüfschaltungen behandelt, bleibt einem späteren Bericht vorbehalten.

Das äußere Kennzeichen des Pufferspeichers ist die Anordnung von 2 Adressenwerken, von denen das eine von der Eingabeseite her gesteuerte Adressenwerk die Adresse für das Einschreiben der einlaufenden Information bestimmt, während das andere Adressenwerk, welches von der Ausgabeseite her gesteuert wird, in einem gegenüber dem Schreibvorgang gänzlich anderen zeitlichen Rhythmus diese Information wieder herausliest. Damit wird der unregelmäßige Signalfluß am Eingang in einen regelmäßigen am Ausgang umgewandelt.

Das Prinzip der Steuerung entspricht bis auf die getrennten Adressensteuerungen dem in den vorhergehenden Abschnitten beschriebenen Modellspeicher. Die zeitliche Steuerung wird auch hier durch einen externen 2-MHz-Takt bestimmt. Hieraus werden wieder durch den Zykluszähler ZZ, ein 2:1 untersetzendes Flip-Flop, die Bedingungen Z_R für den Lesezyklus und Z_W für den Schreibzyklus abgeleitet. Die Lese- und Schreibphase dauert je 500 ns. Die zentrale Steuerung der Lese- und Schreibphase übernehmen die aus den Bedingungen Z_R und Z_W abgeleiteten Haupttakte W und R; deren Pulsfolgefrequenz 1 MHz beträgt und die gegenseitig um 500 ns zeitlich versetzt sind.

Der Schreibvorgang wird eingeleitet durch ein Beginnzeichen und abgeschlossen durch ein Endzeichen, die als Bedingung dem Schreib-Sperr-Flip-Flop zugeführt werden. Die daraus abgeleitete Bedingung $\overline{Sp-W_A}$ gibt über die Schreib-Adressen-Taktgeber-Konjunktion $K-TG-W_A$ in Verbindung mit der ZZ-Bedingung Z_W und der später beschriebenen Ueberhol Sperre $\overline{U_{WR}}$ den Schreibadressentaktgeber frei, der nach 500 ns, ausgelöst durch den Haupttakt, den Adressentaktimpuls W_A zur Weiterschaltung des Adressenzählers AZ-W abgibt. Der $TG-W_A$ arbeitet, solange Information angeboten wird und Speicherplätze frei sind. Die Schreibadresse wird dabei im $1/\mu s$ Takt weitergeschaltet. Vom Schreibadressenzähler AZ-W werden über die Schreibadressen-Logik AL-W die Adressbedingungen für die Markierer M abgeleitet. Die Markierer M rufen über die Auswahlwähler S den durch die Adresse festgelegten Platz in der Kernmatrix KM auf. Die Ansteuerung der Spalten und Zeilen der KM erfolgt über die Uebertragermatrizen UM-X und UM-Y. Da die Kernmatrix 16 Zeilen und 16 Spalten enthält, haben die UM die Größe 4×4 . Die Ansteuerung der UM erfolgt analog zum Modell entsprechend Abb. 7.

Die Taktsteuerung der Markierer erfolgt über einen gesonderten Taktgeber $TG-R_M$ mit dem Takt R_M , der zeitlich koinzident mit dem Takt R auftritt. $TG-R_M$ wird über die Markierersperre $MSp-W$ bedingt angesteuert. Damit wird erreicht, daß auch nach dem letztmaligen Weiterschalten der Adresse am Ende des Informationsblockes das zu dieser Adresse gehörige Markierer-FF nur einmal gesetzt wird und mit dem nächsten Takt W zurückgesetzt wird, während die letzte Adresse stehenbleibt, bis eine Weiterschaltung mit dem Takt W_A nach erneuter Freigabe des $TG-W_A$ beim nächsten Informationsblock erfolgt.

Ebenfalls mit dem Takt W_A wird die Schreibrreiber-Verzögerungsstufe $TrV-W$, die auch die Bedingung der Schreibsperre $\overline{Sp-W_A}$ erhält, angestoßen. Diese Auslösung erfolgt auch hier $0,5/\mu s$ vor dem Durchschalten des angewählten Weges. Der Treiberimpuls fällt damit in die Zeit der Schreibphase, während der ein bestimmter Speicherplatz über die Markierer aufgerufen ist. Die Auslösung der Zeilen- und Spalten- (X- und Y-) Aufrufimpulse erfolgt gleichzeitig über die gemeinsame Treiberverzögerung.

Die Kernmatrix enthält 28 adressenmäßig parallelgeschaltete Matrizen entsprechend der Wortlänge von 28 Bit. Durch die Koinzidenz der Aufrufimpulse (Halbstrome) in den Zeilen und Spalten der Kernmatrix werden die aufgerufenen Kerne in den Kreuzungspunkten geschaltet, wenn ein L eingeschrieben werden soll, bzw. nicht geschaltet, wenn ein Halbstrom durch den Inhibitimpuls auf der Inhibitleitung kompensiert wird, um eine 0 einzuschreiben. Die einzuschreibende Information wird $0,5 \mu\text{s}$ vor Beginn der Schreibphase in das Schreibregister mit dem Takt W übernommen. Damit liegt zur Zeit der Auslösung der Treiber die Bedingung für die Auslösung der Inhibittreiber I_{Tr} durch den über die Inhibitverzögerung I_{Tr-V} verzögerten Takt an. Die Rückstellung des SR erfolgt mit dem verzögerten Auslöseimpuls der I_{Tr} . Das SR ist damit für die Uebernahme der neuen Information am Ende der Schreibphase wieder bereit.

Das Auslesen der eingespeicherten Information erfolgt in zeitlich größeren Abständen, die max. Lesegeschwindigkeit ist bedingt durch die max. Schreibgeschwindigkeit des Magnetbandgerätes. Das Lesen kann unabhängig vom Einschreiben erfolgen, da sich Schreib- und Lesephase immer abwechseln und sich gegenseitig nicht beeinflussen. Es kann also auch während der Uebernahme eines Informationsblockes in den Speicher bereits ausgelesen werden, wenn vom Bandgerät her die Lese-Freigabe erfolgte. Diese Lese-Freigabe gibt die Bedingung für die Lese-Sperre $Sp-R_A$, die vom Takt W gestellt wird. Die Bedingung $\overline{Sp-R_A}$ gibt in Verbindung mit der ZZ-Bedingung Z_R und der Adress-Überholsperre U_{RW} über die Konjunktion $K-TG-R_A$ den Leseadress-Taktgeber $TG-R_A$ frei, der mit dem Takt R den Adress-Takt R_A abgibt. Dieser Takt R_A stellt die Lese-sperre $Sp-R_A$ zurück und schaltet den Leseadressen-Zähler $AZ-R$ um eine Adresse weiter. Die neue Adresse bereitet über die Adressen-Logik $AL-R$ den entsprechenden Markierer M vor. Das Setzen des Markierer-FF erfolgt mit dem Taktimpuls W_M . W_M wird vom Markierer-Taktgeber $TG-W_M$ durch den Takt W ausgelöst, wenn von der mit R_A gesetzten Markierer-Sperre $MSp-R$ (Rückstellung mit W) die Bedingung erfüllt ist. Dadurch wird erreicht, daß der zu einer bestimmten Adresse gehörende Markierer nur einmal, nämlich während des tatsächlichen Lesevorganges, gesetzt wird, obwohl die Adresse über mehrere Zyklen bis zur erneuten Lesebereitschaft

des Bandgerätes unverändert bleibt.

Die Markierer steuern ihrerseits wieder die dazugehörigen Schalter S, so daß auch hier mit einer bestimmten Adresse über die Schalter und Übertragermatrizen UM ein bestimmter Speicherplatz angewählt ist. Ein bestimmter Platz in der KM entspricht gleichen Zählerständen in den Adress-Zählern AZ-W und AZ-R. Die Koordination der zeitlich verschachtelten Schreib- und Leseimpulse erfolgt in der Übertragermatrix UM. Die Auslösung der Lesetreiber Tr-R erfolgt analog zum Schreibvorgang. Die für Zeilen- und Spalten-Treiber gemeinsame Treiberimpulsverzögerung TrV-R erhält auch die Bedingung $\overline{Sp-R_A}$ der Lesesperre und wird mit R_A $0,5 \mu s$ vor der Lese-Phase ausgelöst. Da die Verzögerung 580 ns beträgt, fallen die Treiberimpulse exakt in die Lese-Phase. Durch die über $Sp-R_A$ bedingte Steuerung wird erreicht, daß auch die Lesetreiber nur einmal nach Adressenwechsel einen Impuls abgeben. Durch die Lesetreiberimpulse wird die in den betreffenden Kernen der angewählten Adresse befindliche Information ausgelesen. Die Verarbeitung der Leseimpulse auf der Leseleitung durch die Leseverstärker erfolgt wie bereits beschrieben. Die Auslösung der Ausblendverzögerung erfolgt mit dem Takt R_A . Die Information wird in ein 28-stelliges Lese-register LR übernommen. Die Rückstellung des LR erfolgt bei Übernahme durch das Bandgerät.

Da die Informationseingabe und -ausgabe unabhängig voneinander erfolgen können, müssen für die Steuerung der beiden Adressenwerke Bedingungen erstellt werden, um zu vermeiden, daß einerseits im zeitlichen Mittel mehr Information angeboten wird, als abgefragt werden kann, so daß der Pufferspeicher dann voll- bzw. überläuft. Das würde sich so auswirken, daß die Schreibadresse die Leseadresse überholt und die neue Information an Plätzen abgespeichert würde, wo die alte noch nicht ausgelesen ist. Andererseits muß auch vermieden werden, daß die Leseadresse die Schreibadresse überholt. Diese Bedingungen werden aus dem Adressenvergleich AV und einem Aufwärts-Abwärts-Zähler AAZ zur Adressen-Differenzbildung und Ermittlung des Speicherinhalts abgeleitet und den Adressen-Taktgebern zugeleitet.

Durch den Adressenvergleich AV wird vermieden, daß der Adress-Zähler AZ-R den AZ-W überholen kann, d.h. daß die Lese- die

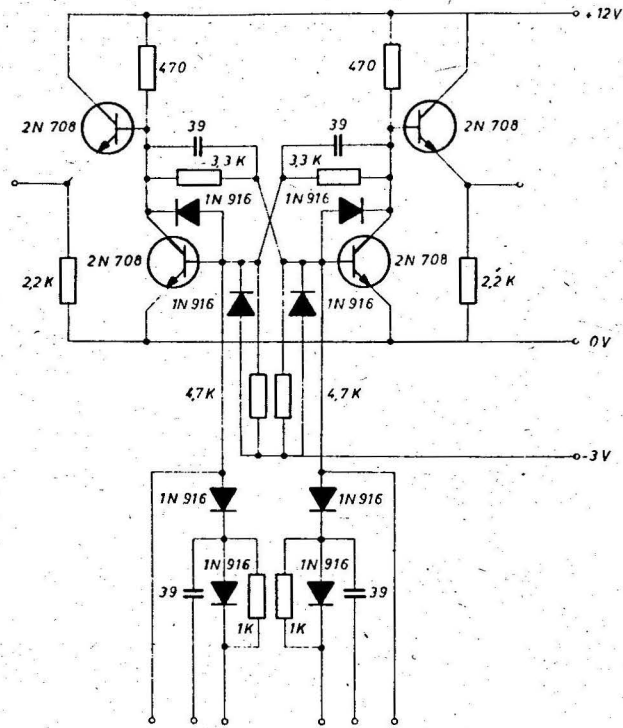
Schreibadresse überholt. Da im Adressenzyklus zunächst die Schreibadresse gestellt wird und die Leseadresse frühestens $0,5 \mu\text{s}$ danach diesen Stand erreichen kann, zu dieser Zeit aber bereits eingeschrieben ist, kann aus dem AV die Sperrbedingung für die Konjunktion $K\text{-TG-}R_A$ abgeleitet werden. Es muß gewährleistet sein, daß AZ-R auf den Stand von AZ-W auflaufen kann, um die zuletzt eingeschriebene Information herauszulesen, dann aber muß AZ-R solange stillgesetzt werden, bis AZ-W weitergeschaltet wurde. Mit dem letzten Taktimpuls R_A , der die Adressengleichheit herstellt, wird die Sperrbedingung an $\text{TG-}R_A$ angelegt. Zu diesem Zweck werden paarweise die Ausgänge des einen Adresszählers mit den negierten Ausgängen der entsprechenden FF des anderen Adress-Zählers und umgekehrt konjunktiv zusammengefaßt und die Ausgänge dieser Konjunktionen disjunktiv verbunden als Bedingung einem FF zugeführt, das beim Auflaufen des AZ-R auf AZ-W nach $0,5 \mu\text{s}$ durch den Takt W gesetzt wird und $K\text{-TG-}R_A$ sperrt, so daß $\text{TG-}R_A$ nach weiteren $0,5 \mu\text{s}$ beim nächsten Taktimpuls R nicht ansprechen kann.

Dem $\text{TG-}W_A$ wird über die Konjunktion $K\text{-TG-}W_A$ die Sperrbedingung $\overline{U_{WR}}$ zugeführt, wenn der Pufferspeicher vollläuft, d.h. die Leseadresse einholt. Die Ermittlung des Speicherinhalts übernimmt ein Aufwärts-Abwärts-Zähler AAZ. Der AAZ wird bei Normierung der Adressenzähler AZ ebenfalls auf Null gesetzt. Die Aufwärtszählung erfolgt über den Takt W_A entsprechend der Anzahl der eingelesenen Worte, die Abwärtszählung übernimmt der Takt R_A entsprechend der ausgelesenen Wortzahl. Der Zählerstand $256 - 3 \triangleq \text{LLLL LLOO}$ wird abgefragt und ein FF mit dem Takt R mit dieser Bedingung gestellt, was nun seinerseits mit $\overline{U_{WR}}$ die $K\text{-TG-}W_A$ und damit den Schreib-Adress-Taktgeber $\text{TG-}W_A$ sperrt und den AZ-W stillsetzt.

Ist das Flip-Flop U_{WR} gesetzt, so wird über eine Anzeige Alarm gegeben, da der angebotene Informationsblock zu groß ist. U_{WR} wird zurückgestellt durch den Beginnbefehl. Dabei braucht AAZ nicht nullgesetzt werden, da beim Überlauf des Puffers AZ-W bis zum nächsten Eingabebeginn eines Blockes stillgesetzt wird, AZ-R aber weiterarbeitet und den gesamten Speicherinhalt ausliest. Die auf das Band aufgezeichnete Information ist bis zum Vollauf des Speichers einwandfrei und bricht dann ab.

5. Literaturverzeichnis

- /1/ Billing, H.: Schnelle Rechenmaschinenspeicher und ihre Geschwindigkeits- und Kapazitätsgrenzen
Elektr. Rechenanlagen 5 (1963), H.2 S.64-72
- /2/ Minnick, R.C., u. R.L. Ashenurst: Multiple Coincidence
Magnetic Storage
J. Appl. Physics 26 (1955), S.575-579
- /3/ Schlaeppli, H. P. u. I. P. V. Carter: Magnetkernspeicher mit
Vielfachkoinzidenz
Elektr. Rechenanlagen 1 (1959), H.3. S.127-133
- /4/ McMahon, R. E.: Impulse Switching of Ferrites
1959 Solid State Circuits Conference
- /5/ Speiser, A. P.: Digitale Rechenanlagen
Springer Verlag, 1961



Flip-Flop FF

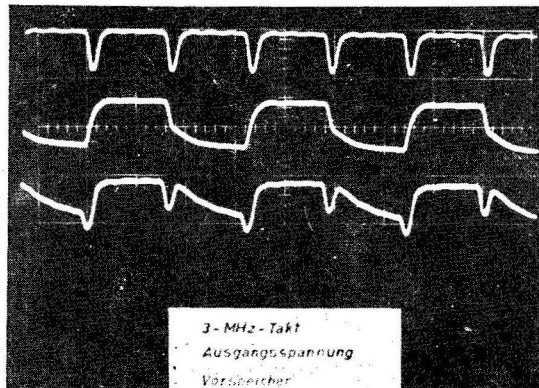
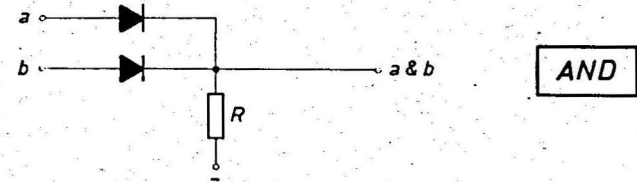


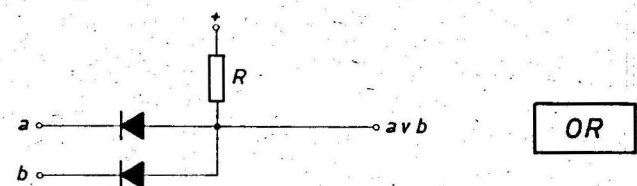
Abb. 1

Logische Grundschaltungen

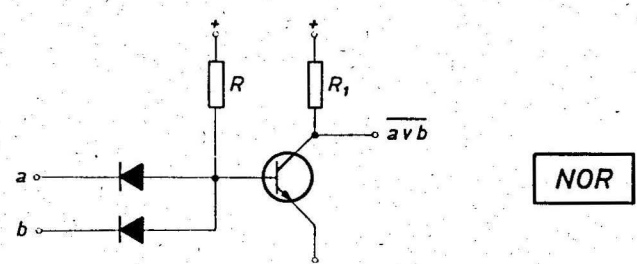
Def.: $+U \hat{=} 0$
 $-U \hat{=} L$



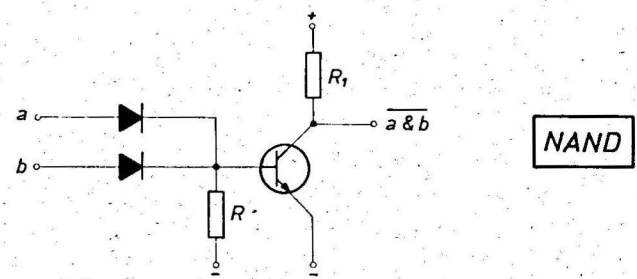
AND



OR



NOR



NAND

Abb. 2

Abb.5: System des 1- μ s-Speichers (Modell)

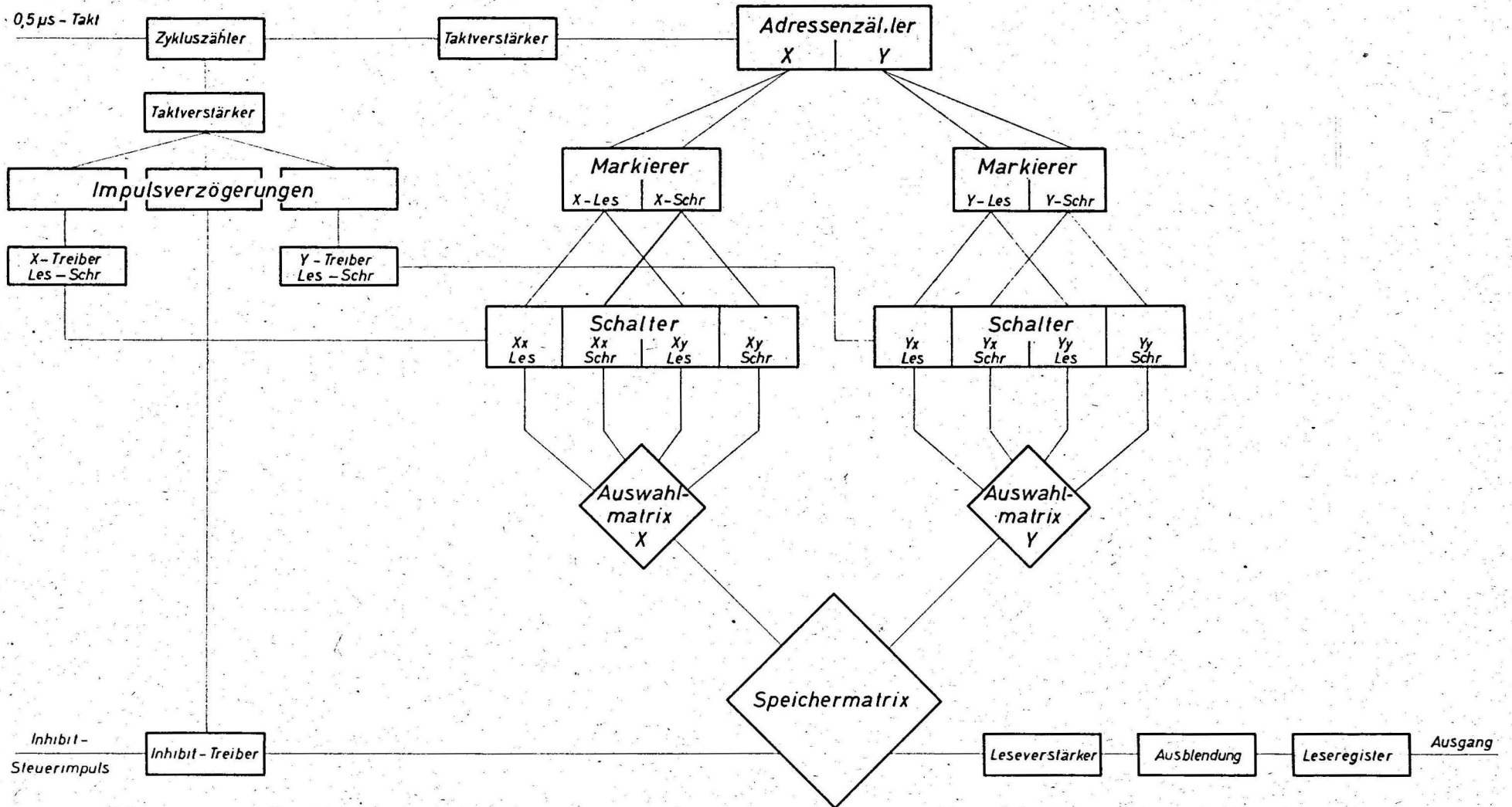
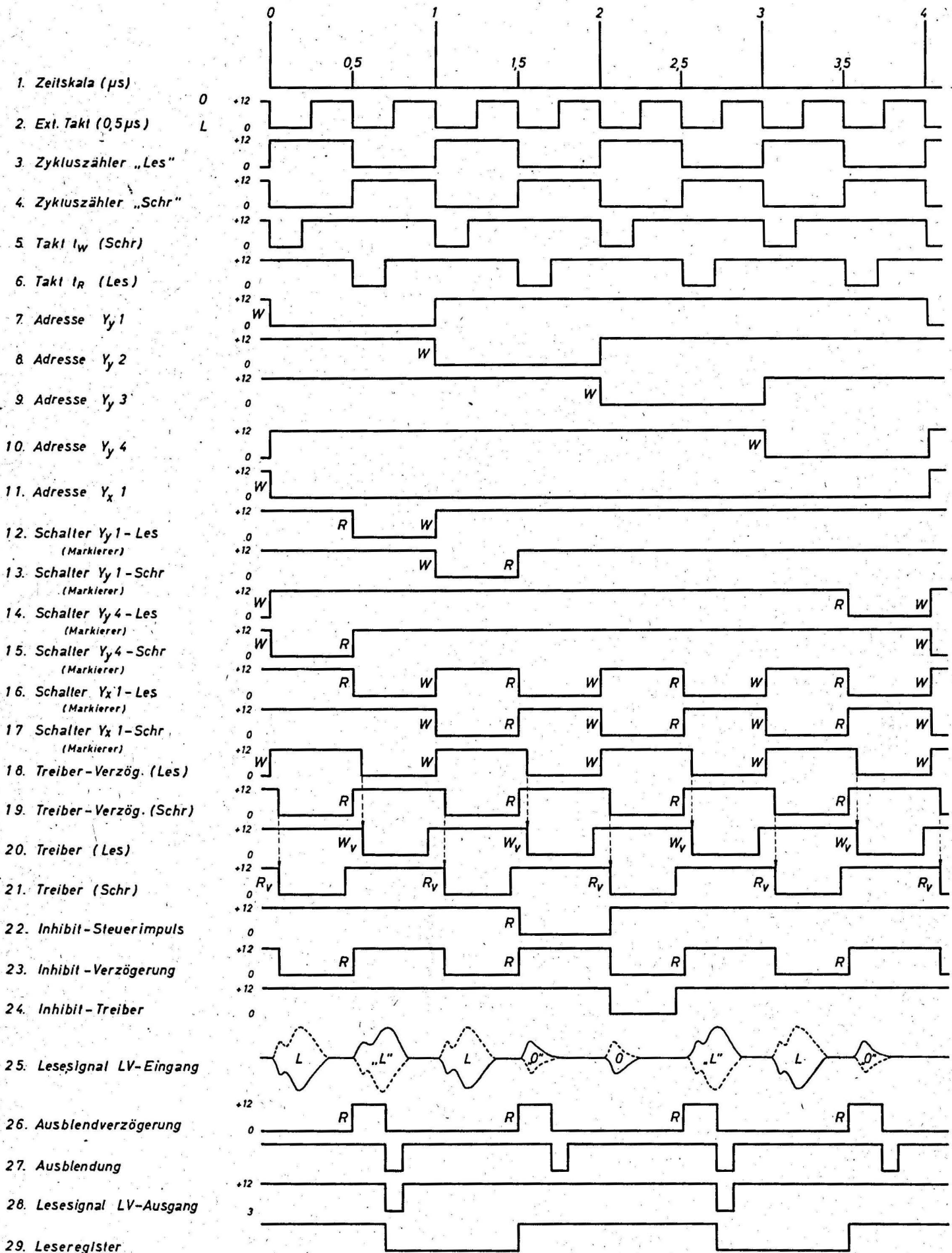


Abb. 6: Zeitplan für 1- μ s-Speicher



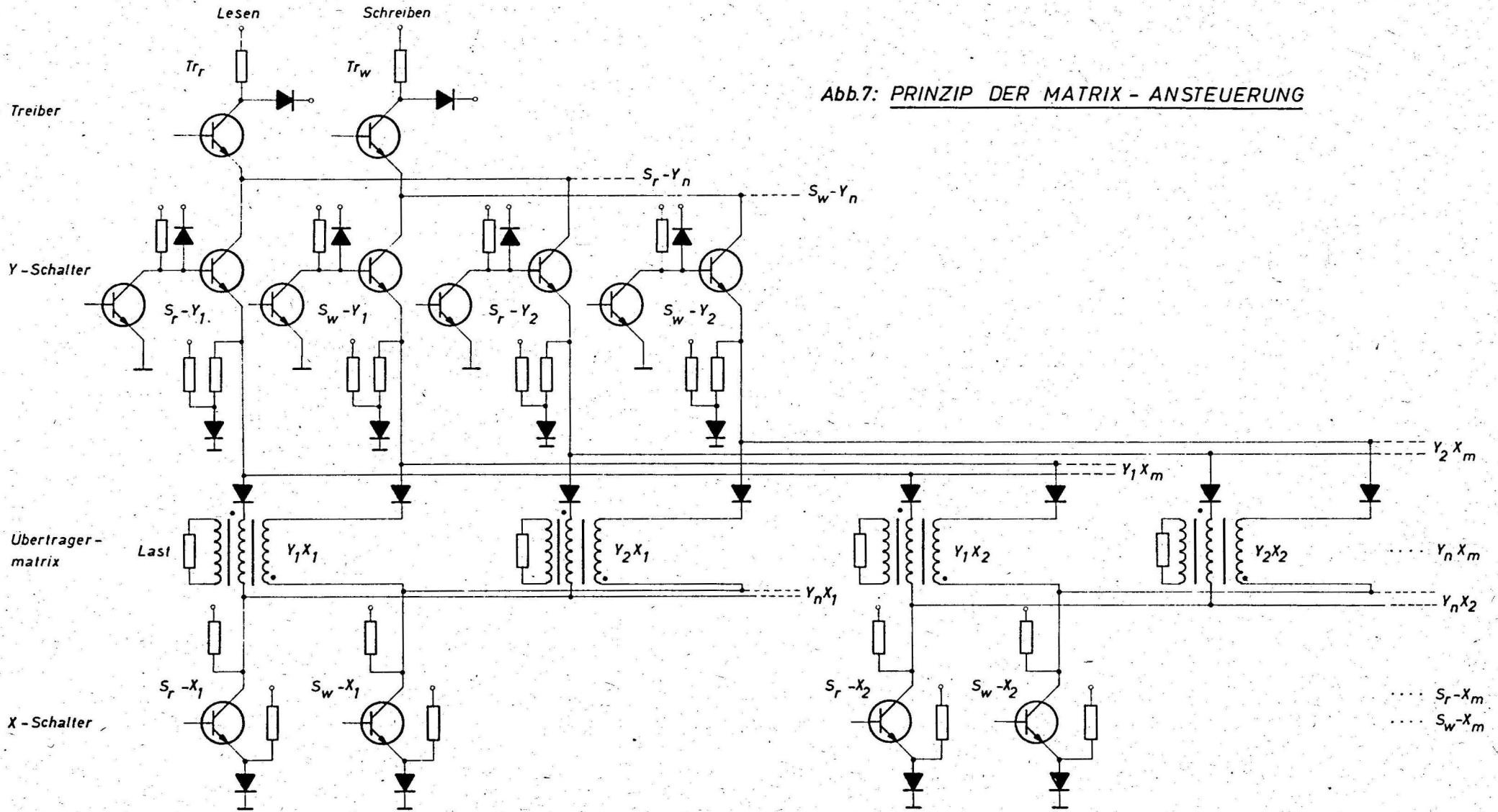


Abb. 7: PRINZIP DER MATRIX - ANSTEUERUNG

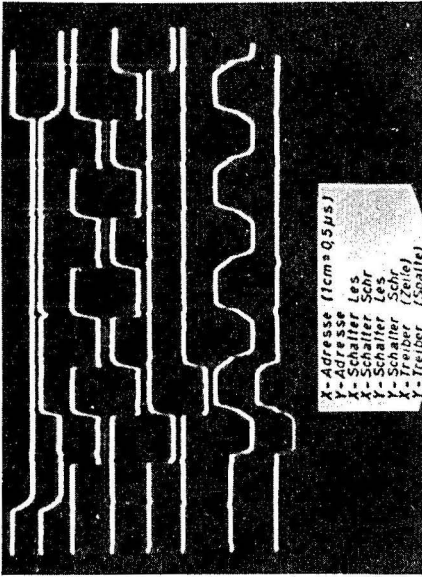


Abb. 9

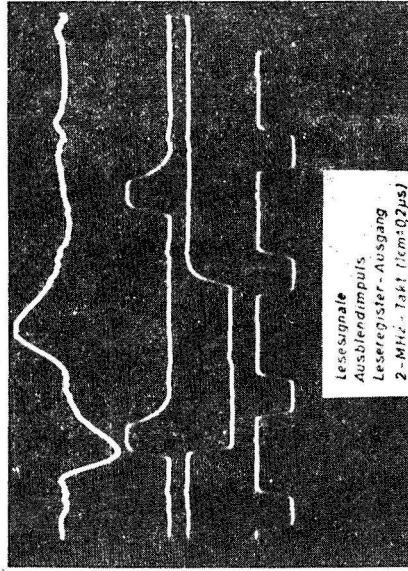


Abb. 10

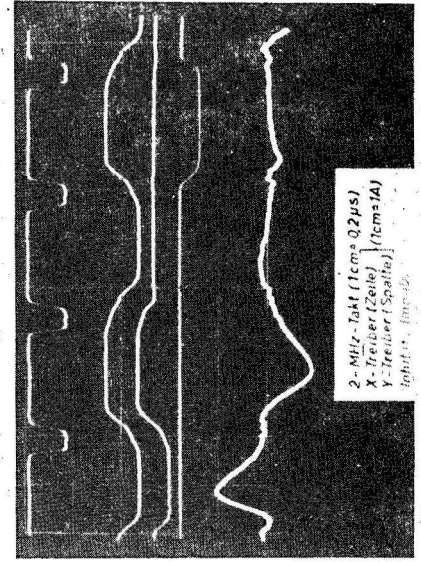
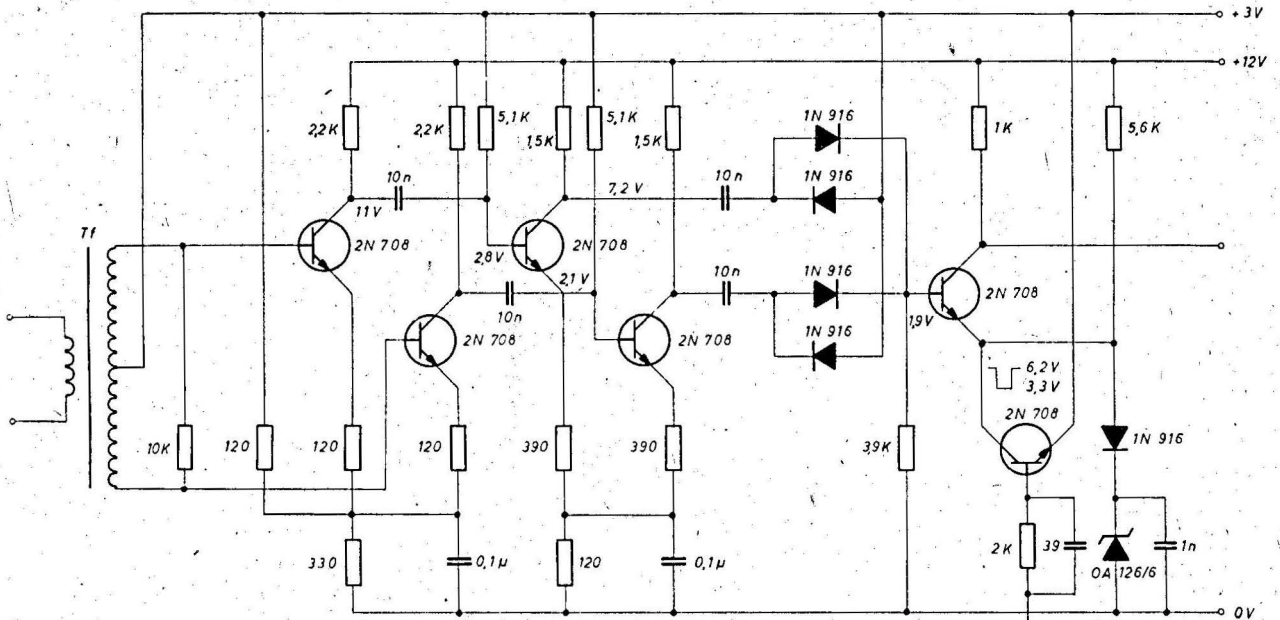


Abb. 11

Abb. 8: Leseverstärker



Übertrager:

Kern Telef. AW 2102.75 K4c
 prim. 4x0,20 Cul.
 sek. 2x40x0,20 Cul

Ausblendimpuls

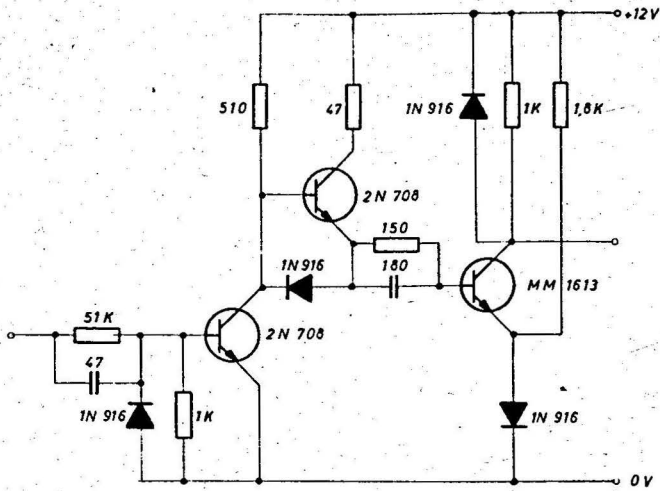


Abb. 12: X-Schalter S-X

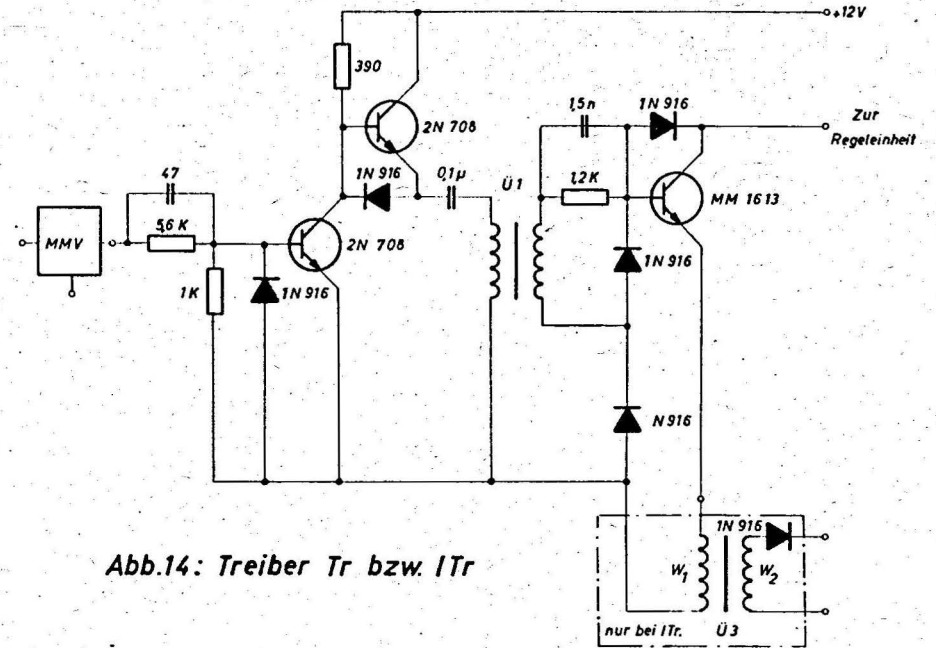


Abb. 14: Treiber Tr bzw. ITr

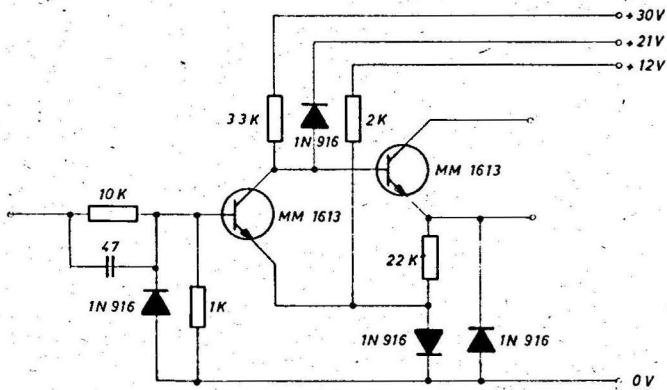


Abb. 13: Y-Schalter S-Y

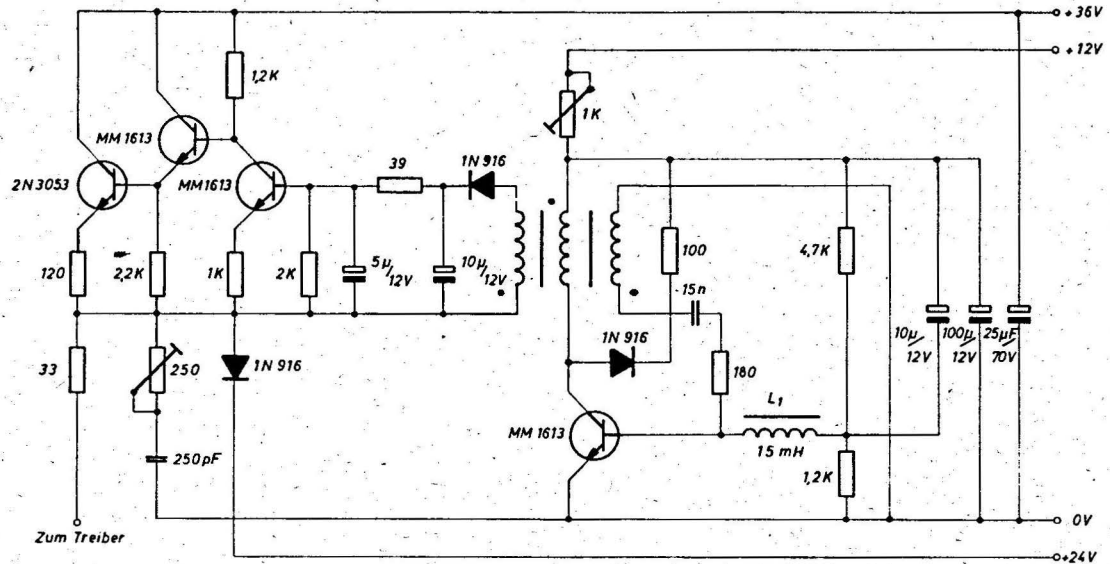


Abb. 15: Treiber - Regeleinheit

Abb.16: Blockdiagramm Pufferspeicher

